

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6013748号
(P6013748)

(45) 発行日 平成28年10月25日 (2016. 10. 25)

(24) 登録日 平成28年9月30日 (2016. 9. 30)

(51) Int. Cl.	F I
H O 1 L 23/12 (2006. 01)	H O 1 L 23/12 5 O 1 C
A 6 1 B 1/04 (2006. 01)	A 6 1 B 1/04 3 7 2
A 6 1 B 1/00 (2006. 01)	A 6 1 B 1/00 3 O O P
	H O 1 L 23/12 E

請求項の数 9 (全 7 頁)

(21) 出願番号	特願2012-65791 (P2012-65791)	(73) 特許権者	000113263
(22) 出願日	平成24年3月22日 (2012. 3. 22)		H O Y A 株式会社
(65) 公開番号	特開2013-197501 (P2013-197501A)		東京都新宿区西新宿六丁目 1 0 番 1 号
(43) 公開日	平成25年9月30日 (2013. 9. 30)	(74) 代理人	100090169
審査請求日	平成27年1月13日 (2015. 1. 13)		弁理士 松浦 孝
前置審査		(74) 代理人	100124497
			弁理士 小倉 洋樹
		(72) 発明者	小師 敦
			東京都新宿区中落合 2 丁目 7 番 5 号 H O Y A 株式会社内
		審査官	木下 直哉

最終頁に続く

(54) 【発明の名称】 半導体パッケージ

(57) 【特許請求の範囲】

【請求項 1】

ウェハ・レベル・チップサイズ・パッケージ加工を行った半導体パッケージであって、パッケージ底面に B G A バンプが格子状に形成され、前記 B G A バンプが全ての格子点に配置され、

前記 B G A バンプの一部がダミーバンプであり、前記 B G A バンプが加工可能な最小ピッチで配置され、

前記 B G A バンプによる全接合面積がなるべく大きくなるようにパッケージサイズに対して設置可能な限りの数の B G A バンプが配置される

ことを特徴とする半導体パッケージ。

10

【請求項 2】

前記半導体パッケージが撮像素子を含むことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記ダミーバンプの少なくとも 1 つが前記半導体パッケージのグランドパターンに接続されることを特徴とする請求項 1 ~ 2 の何れか一項に記載の半導体パッケージ。

【請求項 4】

請求項 1 ~ 3 の何れか一項に記載の半導体パッケージが実装される回路基板であって、前記 B G A バンプ全てに対応するランドを備えることを特徴とする回路基板。

【請求項 5】

20

前記ダミーバンプに接合される少なくとも１つのランドがグランドパターンに接続されることを特徴とする請求項４に記載の回路基板。

【請求項 ６】

請求項 １～３の何れか一項に記載の半導体パッケージと、前記半導体パッケージが実装される回路基板とを備え、前記回路基板が前記 B G A バンプ全てに対応するランドを備えることを特徴とする撮像ユニット。

【請求項 ７】

前記ダミーバンプに接合される少なくとも１つのランドがグランドパターンに接続されることを特徴とする請求項６に記載の撮像ユニット。

【請求項 ８】

請求項６または請求項７の何れか一項に記載の撮像ユニットが搭載されたことを特徴とする電子内視鏡。

【請求項 ９】

前記パッケージ底面と前記回路基板との間に高熱伝導性樹脂を充填したことを特徴とする請求項６に記載の撮像ユニット。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ウェハ状態でパッケージングまでを行うウェハレベル・チップサイズ・パッケージ（W L C S P : Wafer Level Chip Size Package）タイプの半導体パッケージに関する。

【背景技術】

【０００２】

例えば撮像素子に発生するノイズは、温度上昇に伴い増大する。特に電子内視鏡では、撮像素子が気密された極めて狭い空間に配置され、かつ熱源となるライトガイドも隣接して配置されるため放熱対策は画質の維持・向上にとって極めて重要である。電子内視鏡において撮像素子は、表面のボンディング電極からボンディングワイヤ、T A B テープ等を介して裏面に配置された回路基板に接続され、撮像素子の熱はボンディングワイヤや T A B（Tape Automated Bonding）テープの配線、または撮像素子裏面と回路基板の接合面を通して放熱される。放熱効率を高めるために撮像素子裏面近傍に熱伝導性の高い部材を配置する構成も提案されている（特許文献 １）。また近年、電子機器の小型・軽量化に伴い、半導体パッケージをウェハ状態のままパッケージにする W L C S P 技術が開発されており、携帯電話などにおいては、W L C S P 技術を用いた撮像素子も採用されている（引用文献 ２）。

【先行技術文献】

【特許文献】

【０００３】

【特許文献 １】特開 ２ ０ ０ ２ - ２ ９ １ ６ ９ ３ 号公報

【特許文献 ２】特開 ２ ０ ０ ８ - １ ３ ０ ７ ３ ８ 号公報

【発明の概要】

【発明が解決しようとする課題】

【０００４】

この W L C S P タイプの撮像素子を電子内視鏡に実装する場合、撮像素子はその裏面に形成される B G A（Ball Grid Array）バンプを介して回路基板に接合されることとなり、主な放熱経路はバンプを通したものとなる。一方、電子内視鏡においては、細い可撓管を通して配線を行う必要があるため、撮像素子の I / O ピンの数が制限され、そのバンプの数も少ない。そのため撮像素子の放熱が十分に行えず、画質の劣化を招く恐れがある。

【０００５】

本発明は、上述のような問題に鑑みてなされたものであり、放熱効率の高い W L C S P

10

20

30

40

50

タイプの半導体パッケージを提供することを課題としている。

【課題を解決するための手段】

【0006】

本発明の半導体パッケージは、ウェハ・レベル・チップサイズ・パッケージ加工を行った半導体パッケージであって、パッケージ底面にBGAバンプが格子状に形成され、BGAバンプが全ての格子点に配置されたことを特徴としている。

【0007】

BGAバンプの一部は例えばダミーバンプであり、BGAバンプは加工可能な最小ピッチで配置されることが好ましい。本発明の半導体パッケージは例えば撮像素子へのアプリケーションにおいて有効である。ダミーバンプは、例えば半導体パッケージのグランドパターンに接続されることが好ましい。

10

【0008】

また本発明の回路基板は、上記半導体パッケージが実装される回路基板であって、BGAバンプ全てに対応するランドを備えたことを特徴としている。

【0009】

回路基板において、ダミーバンプに接合される少なくとも1つのランドがグランドパターンに接続されることが好ましい。

【0010】

本発明の撮像ユニットは、上記半導体パッケージと、半導体パッケージが実装される回路基板とを備え、回路基板がBGAバンプ全てに対応するランドを備えたことを特徴としている。

20

【0011】

また撮像ユニットにおいて、ダミーバンプに接合される少なくとも1つのランドがグランドパターンに接続されることが好ましい。

【0012】

また本発明の電子内視鏡は、上記撮像ユニットが搭載されたことを特徴としている。

【発明の効果】

【0013】

本発明によれば、放熱効率の高いWLCSPタイプの半導体パッケージを提供することができる。

30

【図面の簡単な説明】

【0014】

【図1】本発明の一実施形態であるWLCSPタイプの半導体パッケージを搭載した撮像ユニットの構成を示す側断面図である。

【図2】本実施形態の半導体パッケージを底面側から見た平面図である。

【図3】半導体パッケージの変形例の底面側から見た平面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態を、図面を参照して説明する。図1は、本発明の一実施形態であるWLCSPタイプの半導体パッケージを搭載した撮像ユニットの構成を示す側断面図である。

40

【0016】

撮像ユニット10は、例えば電子内視鏡に搭載され、WLCSPタイプの半導体パッケージ11と回路基板パッケージ12を備える。本実施形態において半導体パッケージ11は撮像素子であり、ガラス層13、樹脂層14、シリコン層15、および格子状に配列されたBGAバンプ16から主に構成される。

【0017】

回路基板パッケージ12には、例えば半導体パッケージ11の全てのBGAバンプに対応して格子状に配列されるランド17が形成され、例えば全てのBGAバンプ16は対応する各ランド17に半田付けなどにより接合される。また、シリコン層15と回路基板パ

50

ッケージ 12 と間には BGA バンプ 16 の高さ分の隙間が形成されるが、この隙間は熱伝導性の高い樹脂充填剤 18 により充填される。

【0018】

また回路基板パッケージ 12 には、ケーブル接続用の複数のケーブル接合用ランド 19 が設けられ、ケーブル 20 の各信号線 21 が半田等を用いて接合される。図 1 では、回路基板パッケージ 12 の一部が破断図として示され、グランドパターン 22 の配線の一部が模式的に示される。図 1 の例において、バンプ 16 G は、例えば半導体パッケージ 11 のグランドパターン（図示せず）を構成するグランド端子であり、ランド 17 G を介してケーブル 20 のグランド線 21 G に接続される。またバンプ 16 D は、後述するダミーバンプであり、ダミーバンプ 16 D に対応するランド 17 D はダミーランドとなる。図示例ではダミーランド 17 D はグランドパターン 22（ランド 17 G）に接続される。なお、回路基板パッケージ 12 には必要に応じて電子部品 23、24 等が実装される。

10

【0019】

図 2 は本実施形態の半導体パッケージ 11 を底面側から見た平面図である。本実施形態において、半導体パッケージ 11 の底面には格子状に BGA バンプが配置され、図 2 の例では、縦横 5 × 5、合計 25 個の格子点を有する正方格子状に BGA バンプ（白丸および黒丸）が配置されている。格子点の全てに BGA バンプが形成され、図 2 では 25 個の BGA バンプのうち白丸で示される 18 個の BGA バンプ 16 E が半導体パッケージ 11 の I/O ピンであり、黒丸で示される 7 個の BGA バンプ 16 D がダミーバンプである。

【0020】

20

従来、WLCSP タイプの半導体パッケージでは、必要な I/O ピンに応じてバンプピッチを設定し、余ったスペースにバンプを配することは基本的にない。例えば、I/O ピンは底面の周縁部に集められ底面中央付近はバンプが形成されない空き領域とされる。これに対して本実施形態では、例えば半導体パッケージ製造の後工程において安定処理可能な最小のピッチで配置できる全てのバンプが形成される。すなわち本実施形態では半導体パッケージに必要な I/O ピンの数から BGA バンプの行数、列数を割り付けるのではなく、例えばパッケージサイズと製造工程における加工可能ピッチから、BGA バンプによる全接合面積がなるべく大きくなるように設置可能な限りの数の BGA バンプを配置する。

【0021】

30

例えば、図 2 の例では、I/O ピンは 18 個なので、5 行 × 4 列としてダミーバンプ 16 D を 2 個とすることもできるが、本実施形態ではより大きな接合面積を得るため BGA バンプの配列を 5 行 × 5 列としている（バンプ断面積は一定であることを前提としている）。本実施形態では、このように配置される BGA バンプのうち、I/O ピン以外の 7 個のバンプをダミーバンプ 16 D とする。ダミーバンプ 16 D は、電気的にフローティングされた状態であってもよいが、本実施形態のように半導体パッケージ 11 内のグランドパターンに接続する構成とすることで放熱効果を更に向上できる。なおダミーバンプ 16 D は、任意の格子点上に配置できるが、回路基板パッケージ 12 側において配線の引き回しが容易な位置に配置されることが好ましい。

【0022】

40

またバンプサイズとバンプの最小加工ピッチの組合せが選択可能な場合には、全バンプ接合面積に当たるバンプ数 × バンプ断面積がより大きくなる組合せを選択してもよい。例えば、図 2 の例において、バンプサイズを大きくして前述のように BGA を 4 行 × 5 列とすることもできる。図 3 に、パッケージサイズが図 2 と同サイズの半導体パッケージにおいて必要な I/O ピン数が 16 個のとき、バンプサイズを大きくするとともに BGA を 4 行 × 4 列とし、ダミーバンプをなくした構成を示す。

【0023】

以上のように、本実施形態によれば WLCSP タイプの半導体パッケージにおいて、バンプ接合面積を大きくすることができ、バンプを通してより効率的に熱を回路基板側へと伝達することができるので放熱効率が向上される。

50

【 0 0 2 4 】

また本実施形態では、回路基板パッケージに半導体パッケージの全てのバンプに対応してランドを設けたり、ダミーバンプをグラウンドパターンに接続したりすることにより放熱効果を更に高めている。また本実施形態では回路基板のダミーランドもグランパターン、ケーブルのグラウンド線へと接続されているため熱は効率よくケーブルへと排出される。

【 0 0 2 5 】

なお、本実施形態では半導体パッケージの全ての B G A バンプに対応したランドを回路基板パッケージに設けたが、ランド数はバンプ数と異なってもよい。またダミーバンプ、ダミーランドは、必ずしもグラウンドパターンに接続されていなくともよい。また、B G A バンプの配置は正方格子に限定されず、六角格子状などの配置であってもよく、バンプ、ランド、信号線の接合方法も半田付け以外の方法を用いてもよい。また本実施形態では電子内視鏡を例に説明を行ったが、放熱を十分に考慮する必要がある他の電子機器（特に撮像ユニット）においても適用可能である。

10

【 符号の説明 】

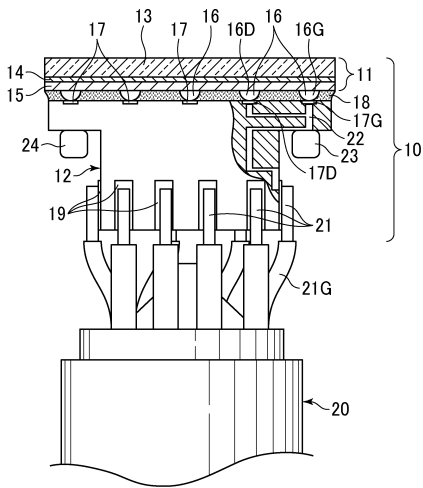
【 0 0 2 6 】

- 1 0 撮像ユニット
- 1 1 W L C S P タイプ半導体パッケージ
- 1 2 回路基板パッケージ
- 1 3 ガラス層
- 1 5 シリコン層
- 1 6 B G A バンプ
- 1 6 D ダミーバンプ
- 1 6 E I / O ピン
- 1 6 G グラウンド端子（バンプ）
- 1 7 バンプ接合ランド
- 1 7 D ダミーランド
- 1 9 ケーブル接合用ランド
- 2 0 ケーブル
- 2 1 信号線
- 2 1 G グラウンド線
- 2 2 グラウンドパターン

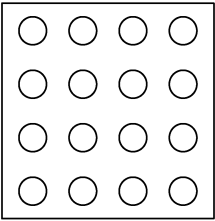
20

30

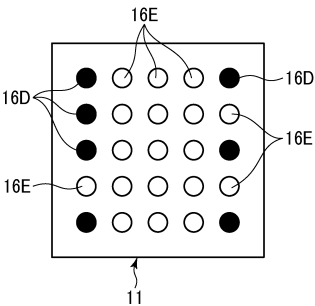
【図 1】



【図 3】



【図 2】



フロントページの続き

(56)参考文献 特開平09 - 246318 (JP, A)
特開2001 - 267460 (JP, A)
特開2008 - 130738 (JP, A)
特開平8 - 23047 (JP, A)
特開2008 - 218882 (JP, A)
特開2004 - 22870 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L	23 / 12 - 23 / 15
A61B	1 / 00
A61B	1 / 04

专利名称(译)	半导体封装		
公开(公告)号	JP6013748B2	公开(公告)日	2016-10-25
申请号	JP2012065791	申请日	2012-03-22
[标]申请(专利权)人(译)	保谷股份有限公司		
申请(专利权)人(译)	HOYA株式会社		
当前申请(专利权)人(译)	HOYA株式会社		
[标]发明人	小師敦		
发明人	小師 敦		
IPC分类号	H01L23/12 A61B1/04 A61B1/00		
FI分类号	H01L23/12.501.C A61B1/04.372 A61B1/00.300.P H01L23/12.E A61B1/00.715 A61B1/04.530 A61B1/05		
F-TERM分类号	4C161/BB02 4C161/CC06 4C161/FF40 4C161/FF45 4C161/JJ11 4C161/LL02 4C161/NN01 4C161/PP08 4C161/SS01 4C161/UU03		
代理人(译)	松浦 孝		
审查员(译)	木下直哉		
其他公开文献	JP2013197501A		
外部链接	Espacenet		

摘要(译)

要解决的问题提供具有高散热效率的WLCSP型半导体封装。 解决方案：在WLCSP型半导体封装11中，其中BGA凸块16以栅格图案形成在封装的底表面上，BGA凸块16以可以处理的最小间距布置成格子形状，并且BGA凸块16布置在所有格点处安排会。除了半导体封装11所需的I/O引脚之外，虚设凸块16D连接到半导体封装11的接地图案（接地端子）16G。点域1

